DATA SHEET

SP5630

高性能、低功耗开关电源控制芯片

版本号：V1.1

一、概述

SP5630 是一颗电流模式 PWM 控制芯片，专为低待机功耗、高性价比开关电源系统设计，用于功率在 40W 以内的方案。

SP5630 的工作频率可以由外部设定，在空载或者轻载状态下可以工作于跳频模式，由此取得低待机功耗与高转换效率。SP5630 在启动和工作时只需要很小的电流，可以在启动电路中使用一个大阻值的电阻，以此来进一步减小待机时的功耗。

芯片内置有斜坡补偿电路，当电路工作于大占空比时，避免了次谐波振荡的发生，改善系统的稳定性。同时电路内置有前沿消隐时间（Leading-edge blanking time），消除缓冲网络中的二极管反向恢复电流对电路的影响。SP5630 采用了抖频技术，并且在栅驱动电路中使用了软开关技术，能够有效改善系统的 EMI 性能。

SP5630 内置多种保护，包括逐周期过流保护（OCP），过载保护（OLP），VDD 过压箝位，欠压保护（UVLO）等。此外，电路的栅极驱动被箝位在最大 18V，防止损坏外置功率管。SP5630 使用 SOT23-6 无铅封装。

二、应用范围

- 充电器
- PDA、数码相机电源适配器
- 机顶盒电源
- 开放框架式开关电源

三、特点

- 应用于小于 40W 的方案
- 抖频功能，改善 EMI 性能
- 跳频功能，改善轻载效率，减小待机功耗
- 无噪声工作
- 工作频率可外部设置
- 内置同步斜坡补偿
- 低启动电流，低工作电流
- 内置前沿消隐(LEB)功能
- 过载保护（OLP），逐周期过流保护（OCP）
- 欠压保护（UVLO），VDD 电压箝位
- 栅驱动最大电平箝位 18V
- SOT23-6 无铅封装

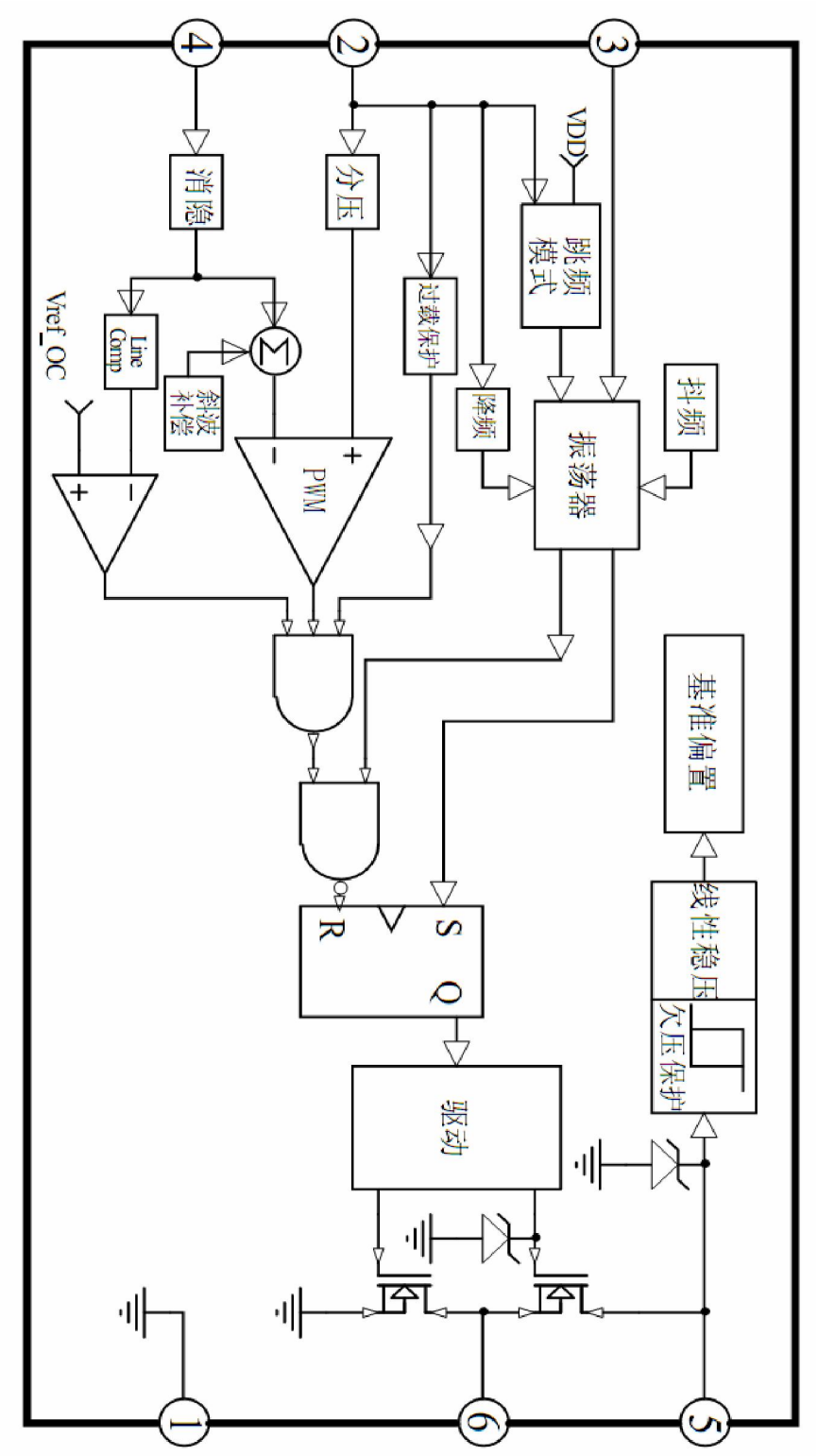
四、极限参数

符号	描述	范围	单位
V_{DD}	VDD 输入电压	30	V
V_{DD} 箝位电压	V_{DD} 齐纳管击穿电压	34	V
V_{DD} 箝位电流	V_{DD} 齐纳管反向击穿电流	10	mA
V_{FB}	FB 输入电压	-0.3~7	V
V_{RI}	RI 脚输入电压	-0.3~7	V
$T_{STORAGE}$	存储温度范围	-55 to 160	℃

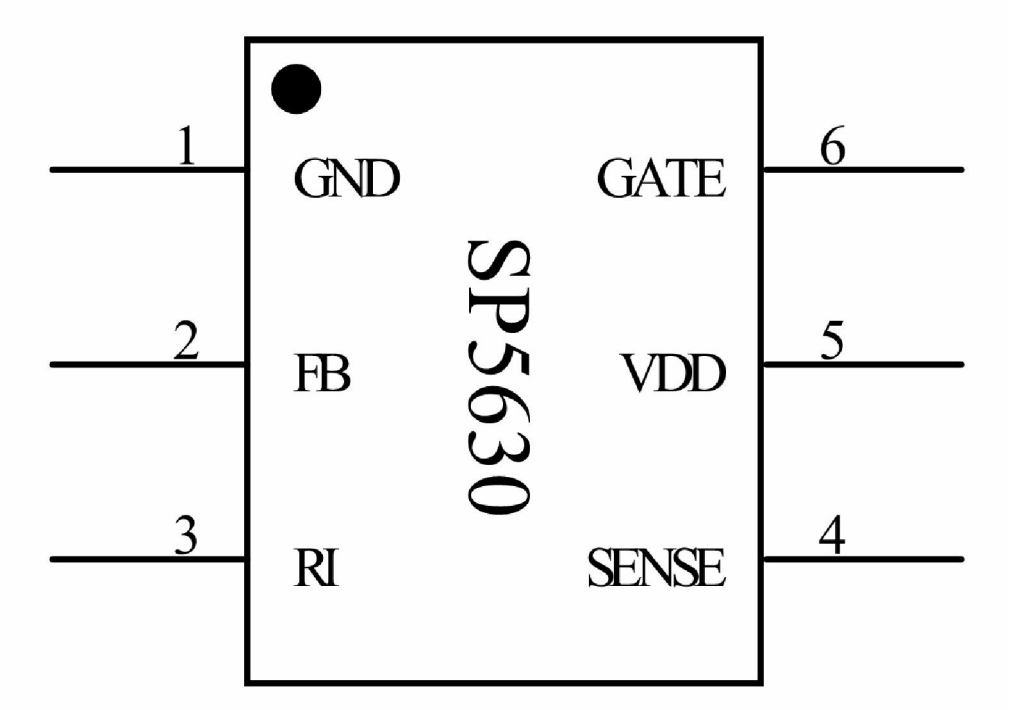
五、推荐工作条件

符号	描述	范围	单位
V_{DD}	VDD 脚电压	10~25	V
T_A	工作环境温度	-20~85	℃

六、IC 内部框图


4
2
3
消隐
分压
VDD
跳频模式
过载保护
Vref_OC
Line Comp
斜波补偿
PWM
降频
振荡器
抖频
基准偏置
线性稳压
欠压保护
R
S
Q
驱动
1
6
5

七、管脚定义图



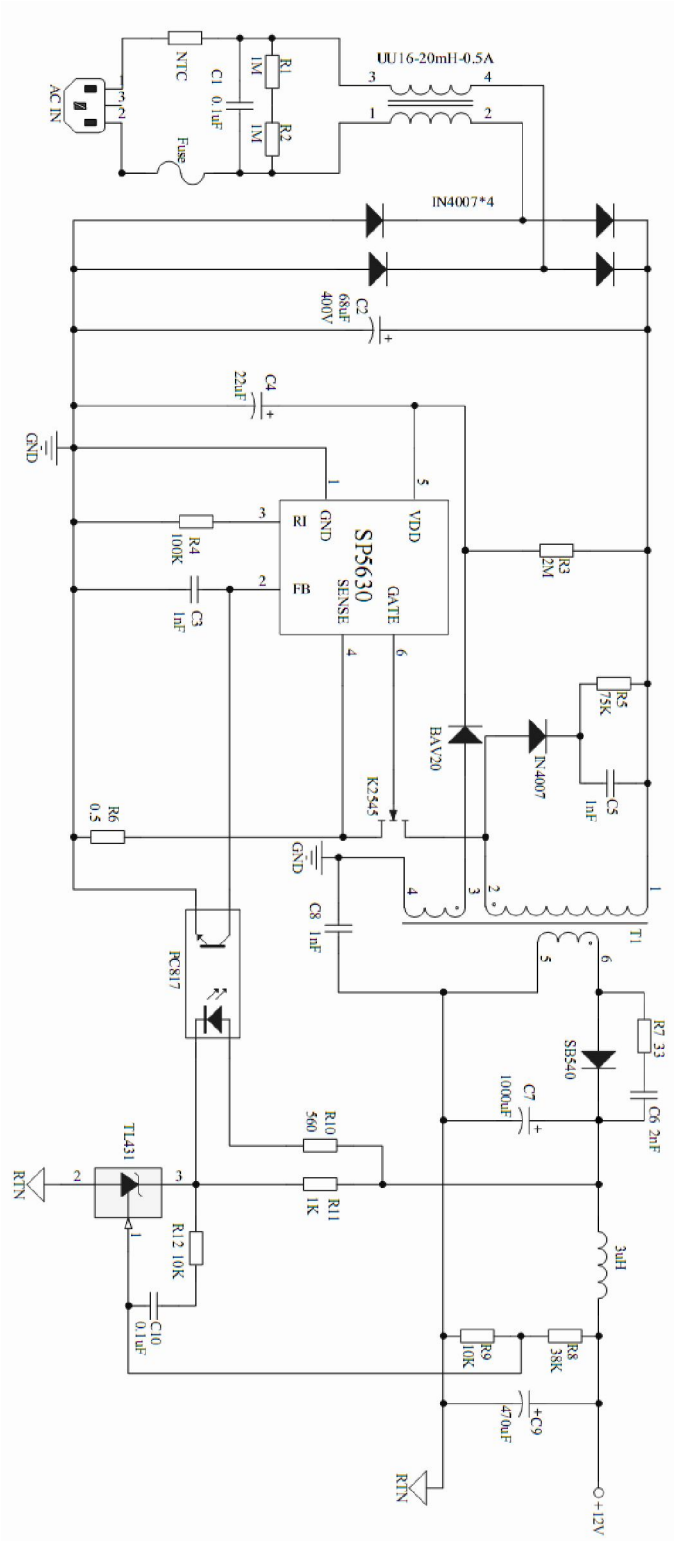
序号	名称	功能
1	GND	地。
2	FB	反馈脚。
3	RI	工作频率设定脚。
4	SENSE	电流取样脚。
5	VDD	电源输入脚。
6	GATE	栅驱动输出脚。

八、电气参数

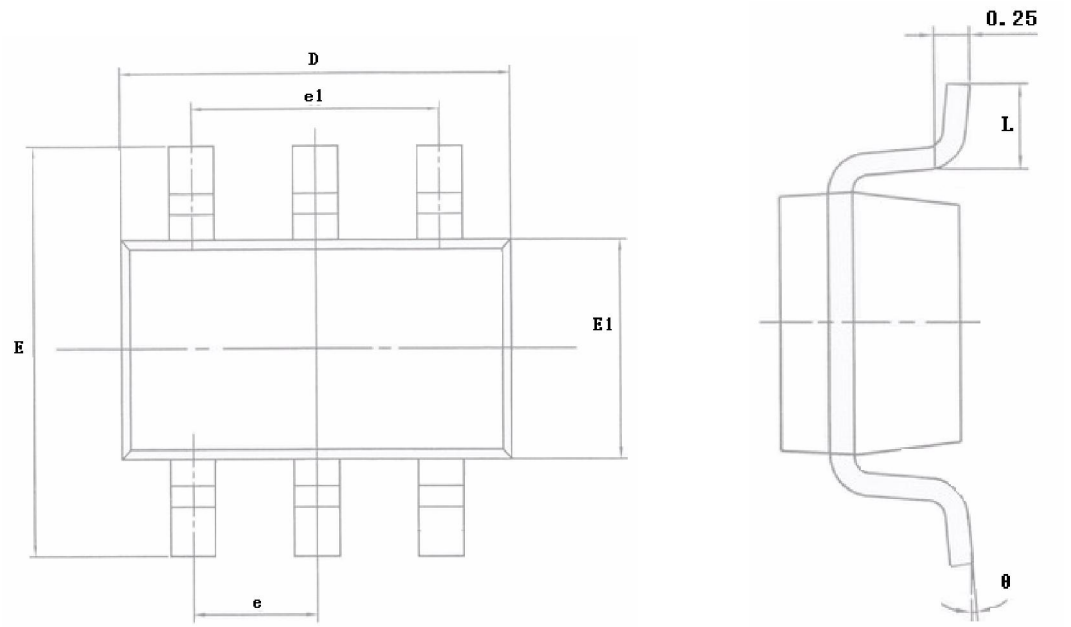
测试条件：T_A=25℃，V_{DD}=16V。
有特别说明除外。

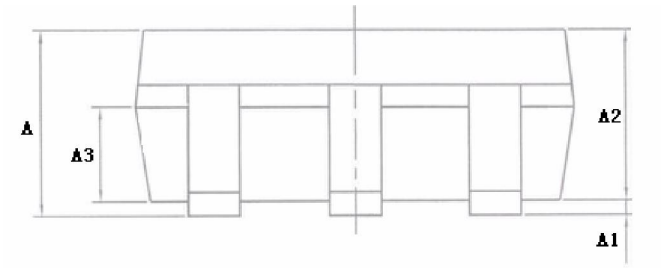
符号	描述	条件	范围			单位
			最小	典型	最大	
I_{DD_ST}	启动电流	VDD=12.5V，RI=100KΩ，测试 VDD 端电流		3	20	uA
I_{OP}	工作电流	V_{DD}=16V ，V_{FB}=3V，RI=100KΩ		1.4		mA
V_{DD_ST}	启动电压	VDD 上升至 IC 工作	13	14	15	V
V_{UVLO}	欠压保护	VDD 下降至 IC 关闭	7.8	8.8	9.8	V
V_{DD_CLAMP}	VDD 箝位电压	I_{DD}=10mA		34		V
V_{FB_OPEN}	FB 开环电压	V_{DD}=16V		4.8		V
I_{FB_SHORT}	FB 短路电流	V_{DD}=16V，FB 短路到地电流		1.2		mA
V_{TH_0D}	零占空比 FB 阈值	V_{DD}=16V，RI=100KΩ，FB 下降至关断功率管			0.75	V
V_{TH_PL}	过载保护 FB 阈值	V_{DD}=16V，RI=100KΩ，FB 下降至关断功率管		3.7		V
T_{LEB}	前沿消隐时间	V_{DD}=16V，RI=100KΩ，FB 上升至关断功率管		300		nS
Z_{SENSE_IN}	SENSE 脚输入阻抗			40		KΩ
V_{TH_OC}	SENSE 脚过流保护阈值	V_{DD}=16V ，RI=100KΩ，SENSE 脚上升至关断功率管	0.70	0.75	0.80	V
T_{D_OC}	过流保护延迟时间	V_{DD}=16V ，V_{FB}=3.0V，V_{CS}> V_{TH_OC}，RI=100KΩ		75		nS
F_{OSC}	振荡频率	V_{DD}=16V ，V_{FB}=3.0V，V_{CS}=0V，RI=100KΩ	60	65	70	KHz
D_{MAX}	最大占空比	V_{DD}=16V ，V_{FB}=3.0V，V_{CS}=0V，RI=100KΩ		75		%
F_{BURST}	跳频频率			22		KHz
ΔF_{OSC}	抖频范围	RI=100KΩ	-3		3	%
RI_{RANGE}	RI 取值范围		50	100	150	KΩ
V_{RI_OPEN}	RI 脚开环电压			2		V
V_{OL}	GATE 输出低电平	V_{DD}=16V，I_O=-20mA			0.8	V
V_{OH}	GATE 输出高电平	V_{DD}=16V，I_O=20mA	10			V
Tr	GATE 输出上升时间	VDD=16V，C_{LOAD}=1nF		220		nS
Tf	GATE 输出下降时间	VDD=16V，C_{LOAD}=1nF		70		nS

九、典型应用


AC IN
NTC
Fuse
C1 0.1uF
1M
R1
1M
R2
UU16-20mH-0.5A
IN4007*4
C2
68uF
400V
C4
22uF
GND
SP5630
RI
GND
VDD
FB
SENSE
GATE
R4
100K
C3
1nF
R3
2M
R5
75K
C5
1nF
BAV20
IN4007
K2545
R6
0.5
C8 1nF
T1
PC817
R7 33
SB540
C7
1000uF
C6 2nF
R10
560
TL431
R11
1K
R12 10K
C10
0.1uF
3uH
R9
10K
R8
38K
C9
470uF
RTN
+12V

十、封装外形（单位为 mm）





SYMBOL	MILLIMETER		
	MIN	NOR	MAX
A	-	-	1.35
A1	0.04	-	0.15
A2	1.00	1.10	1.20
A3	0.55	0.65	0.75
D	2.72	2.92	3.12
E	2.60	2.80	3.0
E1	1.40	1.60	1.80
e	0.95BSC		
e1	1.90BSC		
L	0.30	-	0.60
θ	0	-	8°

十一、使用附件

◆ **功能概述**

SP5630 是一颗低功耗离线式开关电源控制芯片，用于 40W 以内的方案。内置跳频、抖频等功能，可以减小待机功耗，改善系统的 EMI 性能，更易满足相关的国际标准。

◆ **启动**

SP5630 的启动电流非常低，所以 VDD 端电容电压可以很快充至开启电压。启动电路中可以使用一个大阻值的电阻，在满足启动要求的同时，减小工作时的损耗。对于大部分的 AC/DC 方案，使用一个 2MΩ、1/8W 的电阻，再配合一个合适的 VDD 电容，就可以使整个系统在全电压范围(85Vac~265Vac)内快速启动。

◆ **工作电流**

SP5630 的工作电流较小，所以 VDD 启动电容可以取更小值，同时提高整体效率。

◆ **抖频**

SP5630 内置抖频功能。它的开关频率可以通过内部的一个随机信号源进行调制，从而分散噪声的频谱分布。分散的噪声频谱减小了频带内的 EMI 干扰，从而改进系统的 EMI 性能，简化了设计。

◆ **跳频**

在空载或者轻载的时候，系统的大部分损耗是由 MOSFET 的开关损耗、变压器的磁芯损耗以及缓冲网络的损耗所构成。而其中最大的损耗来源于开关损耗，所以低的开关频率可以减小损耗。

在系统正常工作的时候，频率是由环路及 IC 来调节的。在空载或者轻载时，开关频率将会减小，以此来提高效率，如果此时 FB 的电压下降到低于零占空比阈值，这时 IC 将进入跳频模式。在跳频模式中，只有当 VDD 电压低于预设电平，并且 FB 电压高于零占空比阈值时，IC 的栅极驱动才工作，否则栅极驱动电路保持关状态，以此减小开关损耗，降低待机功耗。跳频的频率设置在音频范围之外，可以确保在正常工作时无音频噪声。

◆ **振荡频率**

在 RI 脚与地之间接一个电阻，以此来设置内部恒流源的电流，这个电流用来给内部电容进行充放电，从而确定了电路在 PWM 时的工作频率。在典型工作条件下，RI 与工作频率间的关系可以由下面的等式确定：

$$Fosc = \frac{6500}{RI(K\Omega)}(KHz)$$

◆ **电流取样与前沿消隐**

SP5630 采用电流模式 PWM 控制方式，提供逐周期限流保护。功率管电流由连接在 SENSE 脚上的取样电阻探测。内部功率管刚打开时，缓冲网络中二极管的反向恢复电流和功率管漏源电容的放电电流在取样电阻上会造成很高的电压尖峰，引起芯片的误判断，而 SP5630 在 SENSE 脚上设置有前沿消隐时间，可以屏蔽这个尖峰对芯片的影响，因此 SENSE 脚的外部无需 RC 滤波网络。在前沿消隐时间内，限流比较器不起作用，不能关闭功率管。芯片的 PWM 占空比由取样电阻上的电压与 FB 上的电压共同决定。

◆ **内部同步斜坡补偿**

内建的同步斜坡补偿电路增加了电流取样脚上电压的斜率，可以确保当芯片工作在 CCM 模式下，尤其是占空比大于 50%时环路的稳定性，避免次谐波振荡的出现。

◆ **功率管驱动**

SP5630 的 GATE 脚连接至外部功率管的栅极，以此来控制外置功率管。对于一般的电源控制电路，当栅极驱动能力不足时，会导致开关时更大的系统损耗，而当栅极驱动能力过强时，会导致很强的 EMI

干扰。

SP5630 通过内部的图腾柱驱动结构、适当的栅极驱动能力和死区时间控制，对上述问题取得了很好的平衡。通过这个专门设计的电路结构，可以更好地减小系统的损耗和改善系统 EMI 特性。在 GATE 脚内置一个 18V 的箝位管，当 VDD 高于预设电平时，可以保护 GATE 脚及外部功率管。

◆ **保护功能**

一个好的电源系统必须具有完善的保护功能，包括逐周期过流保护（OCP）、过载保护（OLP）、VDD 电压箝位以及欠压保护（UVLO）。

SP5630 内置了限流点线电压补偿功能，通过专门设计的电路结构，电路的过流保护阈值随 PWM 占空比变化，可以保证电路在全工作电压范围（85Vac~265Vac）内限流点恒定，也就保证了功率的恒定。

当过载发生时，FB 电压会上升至超过 V_{TH_PL}（过载保护 FB 阈值），当 FB 电压维持在 V_{TH_PL} 之上达到 T_{D_PL}（过载保护延迟时间），芯片的过载保护电路开始动作，芯片将会关断功率管，并且只有在下一次重启后，电路才可以恢复正常工作。

当电路启动后，VDD 主要依靠变压器的辅助线圈来提供能量。当 VDD 电压超过内部齐纳管击穿电压 V_{DD_CLAMP} 时，内部的稳压管会将 VDD 电位箝位，防止损坏电路。

当 VDD 电压下降至低于 V_{UVLO} 时，芯片的欠压保护（UVLO）电路动作，将芯片关断，SP5630 重新开始启动过程。